

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-321333 ✓

(P2000-321333A)

(43) 公開日 平成12年11月24日 (2000.11.24)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

テ-マ-ト (参考)

G 0 1 R 31/28

G 0 1 R 31/28

B 2 G 0 3 2

H 0 1 L 21/66

H 0 1 L 21/66

A 4 M 1 0 6

審査請求 有 請求項の数 8 OL (全 11 頁)

(21) 出願番号

特願平11-130709

(22) 出願日

平成11年5月12日 (1999.5.12)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 幹大

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 杉本 正明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088812

弁理士 ▲柳▼川 信

最終頁に続く

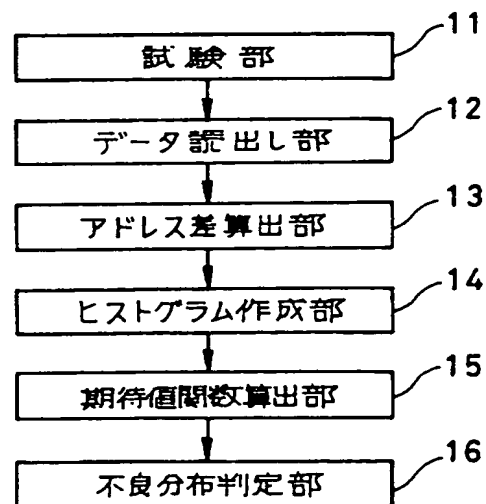
(54) 【発明の名称】 メモリLSI不良解析装置及びシステム、方法並びに記録媒体

(57) 【要約】

【課題】 メモリLSIに対する不良解析を行う際に、各不良ビットの間隔の約数の種類とその頻度を解析する処理を行う回数を減らすことで処理時間の短縮を図る。

【解決手段】 LSIを試験する試験部11より出力される不良ビットのデータをデータ読出し部12で読み、解析計算機のメモリ上に保持する。2つの不良データ間のアドレス差をアドレス差算出部13で算出する。このアドレス差をもとに、ヒストグラム作成部14でアドレス差のヒストグラムを作成する。作成したヒストグラムをもとに、期待値関数算出部15で、因数に対する期待値関数を算出する。この期待値関数をもとに不良分布判定部16で、不良ビットの分布の規則性を判定する。

【効果】 因数チェック処理を1回にすることにより、大幅に解析時間を短縮できる。



## 【特許請求の範囲】

【請求項1】 解析対象であるメモリLSIに対して電氣的な試験を行うメモリLSI不良解析装置であって、前記メモリLSIの試験結果について2つの不良データ間のアドレス差を算出するアドレス差算出手段と、前記アドレス差をもとにアドレス差のヒストグラムを作成するアドレス差ヒストグラム作成手段と、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する期待値関数算出手段と、前記期待値関数より不良ビットの分布の規則性を判定する不良分布判定手段とを含むことを特徴とするメモリLSI不良解析装置。

【請求項2】 解析対象であるメモリLSIに対して電氣的な試験を行うメモリLSI不良解析装置であって、解析すべきメモリLSIの領域を指定する領域指定手段と、前記メモリLSIの試験結果のデータが領域指定手段において指定された領域内にあるかどうかを判定する領域内判定手段と、この指定領域内にあると判定された不良ビットのデータを読み込むデータ読出し手段と、このデータ読出しの際に該データのアドレスに対し重み付けを行うアドレス重み付け手段と、解析範囲内の2つのアドレス間のアドレス差を算出するアドレス差算出手段と、前記アドレス差をもとにアドレス差のヒストグラムを作成するアドレス差ヒストグラム作成手段と、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する期待値関数算出手段と、前記期待値関数より不良ビットの分布の規則性を判定する不良分布判定手段とを含むことを特徴とするメモリLSI不良解析装置。

【請求項3】 請求項1のメモリLSI不良解析装置及び請求項2のメモリLSI不良解析装置と、これら装置のいずれか一方を、不良ビット数と前記メモリによるアドレス空間の大きさととの比に応じて選択する装置選択手段とを含むことを特徴とする請求項1又は2記載のメモリLSI不良解析システム。

【請求項4】 メモリLSIの試験結果について2つの不良データ間のアドレス差を算出する第1処理と、前記アドレス差をもとにアドレス差のヒストグラムを作成する第2処理と、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する第3処理と、前記期待値関数より不良ビットの分布の規則性を判定する第4処理とを含むことを特徴とするメモリLSI不良解析方法。

【請求項5】 解析すべきメモリLSIの領域を指定する第1処理と、前記メモリLSIの試験結果のデータが前記第1処理において指定された領域内にあるかどうかを判定する第2処理と、前記第2処理において領域内にあると判定された不良ビットのデータを読み込む場合に、該データのアドレスに対し重み付けを行う第3処理と、解析範囲内の2つのアドレス間のアドレス差を算出する第4処理と、前記アドレス差をもとにアドレス差のヒストグラムを作成する第5処理と、前記アドレス差ヒスト

グラムをもとに因数に対する期待値関数を算出する第6処理と、前記期待値関数より不良ビットの分布の規則性を判定する第7処理とを含むことを特徴とするメモリLSI不良解析方法。

【請求項6】 不良ビット数と前記メモリによるアドレス空間の大きさととの比に応じて、請求項4のメモリLSI不良解析方法及び請求項5のメモリLSI不良解析方法のいずれか一方を選択する処理を更に含むことを特徴とする請求項4又は5記載のメモリLSI不良解析方法。

【請求項7】 コンピュータに、メモリLSIの試験結果について2つの不良データ間のアドレス差を算出する第1処理、前記アドレス差をもとにアドレス差のヒストグラムを作成する第2処理、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する第3処理、前記期待値関数より不良ビットの分布の規則性を判定する第4処理、を実行させるためのプログラムを記録したことを特徴とする記録媒体。

【請求項8】 コンピュータに、解析すべきメモリLSIの領域を指定する第1処理、前記メモリLSIの試験結果のデータが前記第1処理において指定された領域内にあるかどうかを判定する第2処理、前記第2処理において領域内にあると判定された不良ビットのデータを読み込む場合に、該データのアドレスに対し重み付けを行う第3処理、解析範囲内の2つのアドレス間のアドレス差を算出する第4処理、前記アドレス差をもとにアドレス差のヒストグラムを作成する第5処理、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する第6処理、前記期待値関数より不良ビットの分布の規則性を判定する第7処理、を実行させるためのプログラムを記録したことを特徴とする記録媒体。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はメモリLSI不良解析装置及び解析システム、解析方法並びに不良解析プログラムを記録した記録媒体に関し、特に解析対象であるメモリLSIに対して電氣的な試験を行うメモリLSI不良解析装置及び解析システム、解析方法並びに不良解析プログラムを記録した記録媒体に関する。

## 【0002】

【従来の技術】 従来のLSI不良解析装置としては、例えば米国のKLA-Tencor社製やInspeX社製のものが有名である。これらの装置で解析可能なのは、ウエハ1枚あたりの不良数が数万個程度の場合である。

【0003】 また、不良原因解明及び歩留まり向上を目的とするメモリLSI不良解析装置は、特開平07-072206号公報に記載されている。同公報に記載されている装置は、プロセス技術者と回路技術者とレイアウト技術者のノウハウをパーソナルコンピュータ上に実装

したエキスパートシステムである。

【0004】さらに、LSI不良解析装置として特願平9-355926号明細書及び特願平11-001680号明細書に記載された技術がある。これらは、各不良ビットの間隔の約数の種類とその頻度を解析することにより、欠陥が設計に起因するものか否かを区別する装置である。

【0005】

【発明が解決しようとする課題】 上述した従来の不良解析装置には、解析可能な不良数の上限が低いという問題点がある。KLA-Tencor社やInspeX社の不良解析装置で想定されているダイナミックランダムアクセスメモリ（以下、DRAM）の容量は16メガビットあるいは64メガビットであり、また1ウエハ上に作製されるDRAMのチップ数は数百程度であり、ウエハの直径は200mmである。仮に、不良濃度が10p.p.m.、すなわち素子100万個中10個が不良だったとしても、不良数はウエハ1枚あたり10万個を越えてしまうことになり、従来の装置では十分な解析ができない。

【0006】しかも、メモリの大容量化及び高密度化のスピードはますます増加傾向にあり、今後は、256メガビット以上のDRAMの不良解析に対応していく必要がある。加えて、ウエハサイズも300mmに大口径化していくことは確実であり、その場合、解析すべき不良数の数は相乗的に増加することになる。容量が4倍、ウエハサイズの口径化によりチップ数が2.5倍になると仮定した場合、不良数は10倍になる。このままでは、解析可能なウエハ数が従来の1/10以下になり、不良原因発見の遅れから製造歩留まりを低下させてしまうことになる。

【0007】また、特願平9-355926号明細書及び特願平11-001680号明細書の装置にも同様の問題がある。これらの発明において、各不良ビットの間隔の約数の種類とその頻度を解析する処理は、不良ビットの総組合せ数の回数行われるために、不良数の2乗に比例して解析負荷が増大する。したがって、今後不良数が増加した場合、解析時間もそれ以上に増大することになり、解析可能なウエハ数の減少、実用性の低下が避けられない。

【0008】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はメモリLSIに対する不良解析を行う際に、各不良ビットの間隔の約数の種類とその頻度を解析する処理を行う回数を減らすことで処理時間の短縮を図ることのできるメモリLSI不良解析装置及び解析システム、解析方法並びに不良解析プログラムを記録した記録媒体を提供することである。さらに、不良ビット自体ではなく不良ビットが存在するアドレス座標をもとに上記処理を行うことで処理時間の短縮を実現し、メモリの大容量化、ウエハの大口径

化に伴うデータ量の増大に対応した不良解析を行うことのできるメモリLSI不良解析装置及び解析システム、解析方法並びに不良解析プログラムを記録した記録媒体を提供することである。

【0009】

【課題を解決するための手段】 本発明によるメモリLSI不良解析装置は、解析対象であるメモリLSIに対して電気的な試験を行うメモリLSI不良解析装置であって、前記メモリLSIの試験結果について2つの不良データ間のアドレス差を算出するアドレス差算出手段と、前記アドレス差をもとにアドレス差のヒストグラムを作成するアドレス差ヒストグラム作成手段と、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する期待値関数算出手段と、前記期待値関数より不良ビットの分布の規則性を判定する不良分布判定手段とを含むことを特徴とする。

【0010】本発明による他のメモリLSI不良解析装置は、解析対象であるメモリLSIに対して電気的な試験を行うメモリLSI不良解析装置であって、解析すべきメモリLSIの領域を指定する領域指定手段と、前記メモリLSIの試験結果のデータが領域指定手段において指定された領域内にあるかどうかを判定する領域内判定手段と、この指定領域内にあると判定された不良ビットのデータを読み込むデータ読出し手段と、このデータ読出しの際に該データのアドレスに対し重み付けを行うアドレス重み付け手段と、解析範囲内の2つのアドレス間のアドレス差を算出するアドレス差算出手段と、前記アドレス差をもとにアドレス差のヒストグラムを作成するアドレス差ヒストグラム作成手段と、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する期待値関数算出手段と、前記期待値関数より不良ビットの分布の規則性を判定する不良分布判定手段とを含むことを特徴とする。

【0011】本発明によるメモリLSI不良解析システムは、上記両装置と、これら装置のいずれか一方を、不良ビット数と前記メモリによるアドレス空間の大きさとの比に応じて選択する装置選択手段とを含むことを特徴とする。

【0012】本発明によるメモリLSI不良解析方法は、メモリLSIの試験結果について2つの不良データ間のアドレス差を算出する第1処理と、前記アドレス差をもとにアドレス差のヒストグラムを作成する第2処理と、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する第3処理と、前記期待値関数より不良ビットの分布の規則性を判定する第4処理とを含むことを特徴とする。

【0013】本発明による他のメモリLSI不良解析方法は、解析すべきメモリLSIの領域を指定する第1処理と、前記メモリLSIの試験結果のデータが前記第1処理において指定された領域内にあるかどうかを判定す

る第2処理と、前記第2処理において領域内にあると判定された不良ビットのデータを読み込む場合に、該データのアドレスに対し重み付けを行う第3処理と、解析範囲内の2つのアドレス間のアドレス差を算出する第4処理と、前記アドレス差をもとにアドレス差のヒストグラムを作成する第5処理と、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する第6処理と、前記期待値関数より不良ビットの分布の規則性を判定する第7処理とを含むことを特徴とする。

【0014】本発明による更に他のメモリLSI不良解析方法は、不良ビット数と前記メモリによるアドレス空間の大きさとの比に応じて、上記両解析方法のいずれか一方を選択する処理を更に含むことを特徴とする。

【0015】本発明による不良解析プログラムを記録した記録媒体は、コンピュータに、メモリLSIの試験結果について2つの不良データ間のアドレス差を算出する第1処理、前記アドレス差をもとにアドレス差のヒストグラムを作成する第2処理、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する第3処理、前記期待値関数より不良ビットの分布の規則性を判定する第4処理、を実行させるためのプログラムを記録したことを特徴とする。

【0016】本発明による他の不良解析プログラムを記録した記録媒体は、コンピュータに、解析すべきメモリLSIの領域を指定する第1処理、前記メモリLSIの試験結果のデータが前記第1処理において指定された領域内にあるかどうかを判定する第2処理、前記第2処理において領域内にあると判定された不良ビットのデータを読み込む場合に、該データのアドレスに対し重み付けを行う第3処理、解析範囲内の2つのアドレス間のアドレス差を算出する第4処理、前記アドレス差をもとにアドレス差のヒストグラムを作成する第5処理、前記アドレス差ヒストグラムをもとに因数に対する期待値関数を算出する第6処理、前記期待値関数より不良ビットの分布の規則性を判定する第7処理、を実行させるためのプログラムを記録したことを特徴とする。

【0017】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。なお、以下の説明において参照する各図においては、他の図と同等部分には同一

【0018】図1は本発明によるメモリLSI不良解析装置の実施の一形態を示すブロック図である。また、図2は図1の装置における処理の流れを示すフローチャートである。

【0019】まず、図1中の試験部11においては、解析対象であるメモリLSIに対して電氣的な試験を行い、その結果をビットマップデータとして自分の記憶装置に出力する。

【0020】データ読出し部12においては、上記ビッ

トマップデータの読出しを行い、各不良ビットの座標データを解析計算機のメモリ上に保持する。アドレス差算出部13においては、読込んだ不良ビットのなかから2つの不良ビットa、bを選択し、そのアドレス差d

(a, b)を求める。このアドレス差の算出方法は解析の種類によって異なるが、例えばXアドレス解析を行う場合には、アドレス差は不良ビットa、bのX座標の差の絶対値として求めることができる。すなわち、a、bのX座標をそれぞれa(x)、b(x)とすると、

$$d(a, b) = |a(x) - b(x)|$$

となる。Yアドレス解析の場合には、アドレス差は不良ビットa、bのY座標の差の絶対値として求められる。すなわち、a、bのY座標をそれぞれa(y)、b(y)とすると、 $d(a, b) = |a(y) - b(y)|$ となる。

【0021】ヒストグラム作成部14においては、アドレス差dについてヒストグラムH(d)を作成するための加算処理を行う。具体的には、不良ビットa、bに対して、H(d(a, b))を1加算する。アドレス差算出部13及びヒストグラム作成部14の処理をすべての不良ビットのペアについて行うことで、最終的にアドレス差ヒストグラムH(d)を得ることができる。

【0022】期待値関数算出部15においては、上記アドレス差ヒストグラムH(d)をもとに期待値関数T(f)の算出を行う。この期待値関数は、不良ビットの分布の規則性を表す。仮に(十分多くの個数の)不良ビットがまったくランダムに分布していたと仮定すると、この期待値関数の値は、約数の値にかかわらず「1」になる。一方、仮に不良ビットが偶数座標だけにあったとすると、そのアドレス差は必ず2の倍数になるので、期待値関数の約数=2, 4, 6...の値は大きく「1」を超える値となる。したがって、期待値関数をみれば、不良の分布の規則性を推定することができるのである。

【0023】不良分布判定部16においては、期待値関数T(f)をもとに不良分布の規則性の判定を行う。すなわち、T(f)が1を超えるような因数fが存在した場合は規則性不良が存在し、すべての因数fについてT(f)が1以下の場合には、不規則性不良と判定する。

【0024】ここで、期待値関数T(f)は以下の式で定義される関数である。

$$T(f) = f \sum m(f) / (N - ux)$$

なお、 $\sum m(f)$ はアドレス差がfを因数に持つような不良ビットの組合せ数、Nは不良ビットの総組合せ数、uxはアドレス差が0となるような不良ビットの組合せ数である。したがって不良ビットの最大アドレス差をmax(d)、不良数をn、カウンタjをとしたとき、 $N = n(n-1)/2$ 、 $ux = H(0)$

であるから、アドレス差ヒストグラムH(d)から期待値関数T(f)は以下の式により求められる。

【0025】

$$T(f) = 2f / \{n(n-1) - 2H(0)\} \times \Sigma H(f_j) \dots \text{式(A)}$$

ここで、 $\Sigma H(f_j)$ の加算処理は $j=1$ から $f_j \leq \max(d)$ となる $j$ に対して行われる。

【0026】次に、図2を参照して図1のメモリLSI不良解析装置の処理の流れについて説明する。図2において、まず、データ読みを行う(処理41)。この読込んだデータについて、2つの不良ビットを選択し、アドレス差 $d$ を求める(処理42)。そして、アドレス差ヒストグラム $H(d)$ を1加算する(処理43)。以上の処理は、不良ビットのペアの全てを解析するまで繰返し行われる(処理44→42...)。不良ビットのペア全ての解析が済んだら、期待値関数 $T(f)$ を算出する \*

A-B:  $d(A, B) = |101-101| = 0 \rightarrow H(0)$ を1加算  
 A-C:  $d(A, C) = |101-101| = 0 \rightarrow H(0)$ を1加算  
 A-D:  $d(A, D) = |101-103| = 2 \rightarrow H(2)$ を1加算  
 A-E:  $d(A, E) = |101-103| = 2 \rightarrow H(2)$ を1加算  
 A-F:  $d(A, F) = |101-105| = 4 \rightarrow H(4)$ を1加算  
 B-C:  $d(B, C) = |101-101| = 0 \rightarrow H(0)$ を1加算  
 B-D:  $d(B, D) = |101-103| = 2 \rightarrow H(2)$ を1加算  
 B-E:  $d(B, E) = |101-103| = 2 \rightarrow H(2)$ を1加算  
 B-F:  $d(B, F) = |101-105| = 4 \rightarrow H(4)$ を1加算  
 C-D:  $d(C, D) = |101-103| = 2 \rightarrow H(2)$ を1加算  
 C-E:  $d(C, E) = |101-103| = 2 \rightarrow H(2)$ を1加算  
 C-F:  $d(C, F) = |101-105| = 4 \rightarrow H(4)$ を1加算  
 D-E:  $d(D, E) = |103-103| = 0 \rightarrow H(0)$ を1加算  
 D-F:  $d(D, F) = |103-105| = 2 \rightarrow H(2)$ を1加算  
 E-F:  $d(E, F) = |103-105| = 2 \rightarrow H(2)$ を1加算

この結果作成されたアドレス差ヒストグラム $H(d)$ について図4に示す。

【0029】不良ビット数 $n=6$ 、アドレス差0のペア※30

$$\begin{aligned} T(2) &= (H(2) + H(4)) \times 2 \times 2 / (6 \times 5 - 2 \times 4) \\ &= 44 / 22 \\ &= 2.00 \\ T(3) &= H(3) \times 2 \times 3 / (6 \times 5 - 2 \times 4) \\ &= 0 \\ T(4) &= H(4) \times 2 \times 4 / (6 \times 5 - 2 \times 4) \\ &= 24 / 22 \\ &= 1.09 \end{aligned}$$

ここで、一般的なアルゴリズムとの比較を行う。一般的な不良解析アルゴリズムのフローチャートを図5に示し、同図を参照して説明する。

【0030】同図に示されているアルゴリズムでは、ビットマップデータを読込んだ後(処理61)、この読込んだデータについて、2つの不良ビットを選択し、アドレス差 $d$ を求める(処理62)。そして、アドレス差 $d$ の値が $f(2 \sim f_{\max})$ で割り切れるかどうか判定する(処理63)。割り切れる場合は、 $M(f)$ に1を加算し(処理64)、割り切れない場合はそのまま処理を続ける。処理63及び64は全ての $f$ について判定が済むまで繰返される(処理65→63...)。

\* (処理45)。

【0027】上記のアドレス差算出部13～期待値関数算出部15までの処理について、さらに具体例に基づき説明する。

【0028】6個の不良ビットA(101, 1)、B(101, 3)、C(101, 6)、D(103, 2)、E(103, 3)、F(105, 1)を因数4まで $x$ アドレス解析する場合について、図3を参照して説明する。アドレス差 $d$ の算出とアドレス差ヒストグラムの作成は以下のようになる。

※の数 $H(0)=4$ 、最大アドレス差 $\max(d)=4$ であるので、期待値関数は次のように求めることができ

【0031】以上の処理は、不良ビットのペアの全てを解析するまで繰返し行われる(処理66→62...)。不良ビットのペア全ての解析が済んだら、期待値関数 $T(f)$ を算出する(処理67)。

【0032】要するに、アドレス差 $d$ を算出するたびに $d$ が $f$ を因数にもつかどうかをチェックするのである。このため、図5における処理62～66のループの処理を、 $nC_2$  回行うことになる。なお、処理64における $M(f)$ は、 $f$ の頻度 $\Sigma m(f)$ のことである。

【0033】この頻度は、以下のように定義付けられる。すなわち、ある不良ビット $a$ と $b$ との(例えば、 $x$ 座標の)アドレス差が仮に「6」だったとした場合、そ

のアドレス差は約数「2」と「3」と「6」を持つことになる。これらが約数の種類となる。

【0034】このように、全ての不良ビットのペアについて、まずそのアドレス差を求め、次にそのアドレス差がどのような約数を持つかを調べる。すると、「2」の約数を持つペアが何組あったか、「3」の約数を持つペアが何組あったか、「4」の約数を持つペアが何組あったか、等がわかる。この組数が「頻度」となる。

【0035】上述した因数チェック処理（処理63）は、「2」から「 $f_{\max}$ 」（ $f_{\max}$ は因数チェック処理を行う因数 $f$ の最大値）までの因数すべてについて行われる。このため負荷が大きく、それが  $nC_2$  回繰返されると、解析時間増大の原因となる。

【0036】これに対し、図2のアルゴリズムでは、不良ビットのペアについてアドレス差 $d$ を算出する際には、アドレス差のヒストグラムを作成するのみであり

（図2の処理43）、その後、期待値関数 $T(f)$ を求める際（図2の処理45）に一括して因数チェックを行っている。

【0037】上記の処理は $f=2$ 、 $\text{Max}(d)=2000$ の場合でも高々1000回ですみ、 $f$ が大きくなるほど負荷が軽くなる。例えば式(A)において、 $\Sigma H(2j)$ は $j=1$ から $2000 \geq 2j$ までの1000回の加算処理であり、 $f=1000$ ならば $\Sigma H(1000j)$ は $2000 \geq 1000j$ までのわずか2回の加算処理だからである。

【0038】したがって、図2のアルゴリズムでは、図5のアルゴリズムで負荷の大きかった因数チェック処理（図5の処理62～66）を削減できたことになり、解析時間の増大を抑制する効果が期待される。

【0039】ただし、全ての不良ビットのペアについてアドレス差 $d$ を算出しヒストグラム $H(d)$ を作成する処理（図2の処理42～44）は、すべての不良ビットの組合せについて行うため  $nC_2$  回の処理が必要となり、全体の解析時間は不良数の2乗に比例することになる。

【0040】次に、本発明のメモリLSI不良解析装置の他の実施形態について、図6を参照して説明する。また、処理の流れが図7のフローチャートに示されている。

【0041】まず、図6を参照すると、試験部11においては、解析対象であるメモリLSIに対して電氣的な試験を行い、その結果をビットマップデータとして自分の記憶装置に出力する。

【0042】領域指定部21においては、不良解析を行う際のLSIチップの領域を指定する。具体的には解析範囲として、 $x$ 座標の下限 $x_1$ と上限 $x_2$ 、 $y$ 座標の下限 $y_1$ と上限 $y_2$ を設定し、矩形領域を指定する。

【0043】領域内判定部22においては、ビットマップデータの各不良ビットが、領域指定部12において指

定した領域内にあるかどうかを判定する。具体的には、不良ビットの $x$ アドレスが領域指定部12において設定した $x_1$ と $x_2$ との間にあり、かつ $y$ アドレスが $y_1$ と $y_2$ との間にあれば、該不良ビットは解析領域内にあると判定される。

【0044】データ読出し部12においては、試験部11において出力されたビットマップデータの読出しを行い、当該データが領域内判定部22において領域内と判定された場合に、該不良ビットの座標データを解析計算機のメモリ上に保持する。

【0045】上記データ読出しの際に、アドレス重み付け部23において、当該データのアドレスのヒストグラムを1加算し、重み付けを行う。例えば $X$ アドレス解析を行う場合、 $X$ 座標 $i$ について、その重み付けヒストグラムを $W(i)$ 、読込んだデータ $p$ の $X$ 座標を $p(x)$ としたとき、 $W(p(x))$ の値を1加算する。

【0046】解析対象の全てのデータを読込んだ時点で、上記重み付けヒストグラム $W(i)$ の作成が完了する。

【0047】アドレス差算出部24においては、解析するアドレス空間の中から2つのアドレス（ $X$ アドレス解析の場合は2つの $X$ 座標） $a$ 、 $b$ を選択し、そのアドレス差 $d(a, b) = |a - b|$ を求める。

【0048】ヒストグラム作成部25においては、アドレス差のヒストグラム $H(d)$ を作成する。上記アドレス差算出部24において求めたアドレス差について、当該アドレス差 $d(a, b)$ のヒストグラム $H(d(a, b))$ にアドレスの重みの積、すなわち $W(a)W(b)$ を加算する。上記アドレス差算出及びヒストグラム作成の処理をアドレス空間の全ての座標の組合せについて行う。したがって上記の処理は、アドレス空間の大きさを1としたとき、 $1C_2$  回行われることになる。なお、解析範囲が $s \leq x \leq t$ の $X$ アドレス解析であれば、 $1 = t - s + 1$ である。

【0049】次に、期待値関数算出部26において、期待値関数 $T(f) = f \Sigma m(f) / (N - ux)$ を求める。アドレス差が0となる組合せ数 $ux$ は、座標が同じもの同士のペアの数であるので、

$$ux = \Sigma W(i) C_2$$

となる。例えば図3において $W(101) = 3$ であるが、 $A-B$ 、 $A-C$ 、 $B-C$ の3組のペアのアドレス差は0である。このとき $x = 101$ 上の不良ビット同士のペアの数は、 $W(101)C_2 = 3C_2 = 3$ より求めることができる。

【0050】またこのとき、 $\Sigma W(i) = n$ であるので、不良解析において有効となる組合せの数 $N - ux$ は、 $nC_2 - \Sigma W(i)C_2 = n(n-1)/2 - \Sigma W(i)(W(i)-1)/2 = (n^2 - n - \Sigma W(i)^2 + \Sigma W(i))/2 = (n^2 - \Sigma W(i)^2)/2$ となる。

【0051】よって、最大アドレス差を $\text{Max}(d)$ 、不良数を $n$ 、カウンタを $j$ とすると、期待値関数 $T$

$$T(f) = 2f / \{n^2 - \sum W(i)^2\} \times \sum H(fj) \quad \text{…式(B)}$$

ここで、 $\sum H(fj)$ の加算処理は $j=1$ から $fj \leq \text{Max}(d)$ となる $j$ に対して行われる。

【0052】次に、図7を参照して図6のメモリLSI不良解析装置の処理の流れについて説明する。図7において、まず、データ読みを行う(処理51)。この読込んだデータのX座標 $i$ について、 $W(i)$ を1加算して重み付けを行う(処理52)。以上の処理は、全てのデータを読み込むまで繰返し行われる(処理53→51…)

【0053】次に、2つの座標 $a, b$ を選択し、アドレス差 $d = |a - b|$ を求め、 $H(d)$ に $W(a)W(b)$ を加算する(処理54)。この処理54は全ての座標のペアについての解析が完了するまで行われる(処理55→54…)。座標のペア全ての解析が済んだら、期待値関数 $T(f)$ を算出する(処理56)。

【0054】上記アドレス差算出部24～期待値関数算出部26までの処理について、さらに具体例に基づき説明する。

【0055】6個の不良ビットA(101, 1)、B(101, 3)、C(101, 6)、D(103, ※

101 - 102 : |101-102| に $W(101)W(102)$ を、すなわち $H(1)$ に0を加算  
101 - 103 : |101-103| に $W(101)W(103)$ を、すなわち $H(2)$ に6を加算  
101 - 104 : |101-104| に $W(101)W(104)$ を、すなわち $H(3)$ に0を加算  
101 - 105 : |101-105| に $W(101)W(105)$ を、すなわち $H(4)$ に3を加算  
102 - 103 : |102-103| に $W(102)W(103)$ を、すなわち $H(1)$ に0を加算  
102 - 104 : |102-104| に $W(102)W(104)$ を、すなわち $H(2)$ に0を加算  
102 - 105 : |102-105| に $W(102)W(105)$ を、すなわち $H(1)$ に0を加算  
103 - 105 : |103-105| に $W(103)W(105)$ を、すなわち $H(2)$ に2を加算  
104 - 105 : |104-105| に $W(104)W(105)$ を、すなわち $H(1)$ に0を加算

上記で得られたヒストグラムが図9に示されている。これを図4のヒストグラムと比較すると、 $H(0)$ の値が異なっているが、もともとアドレス差0のペアについては解析対象外であるので、解析結果 $T(f)$ には影響し★

$$T(2) = (H(2) + H(4)) \times 2 \times 2 / (6 \times 6 - 14)$$

$$= 44 / 22$$

$$= 2.00$$

$$T(3) = H(3) \times 2 \times 3 / (6 \times 6 - 14)$$

$$= 0$$

$$T(4) = H(4) \times 2 \times 4 / (6 \times 6 - 14)$$

$$= 24 / 22$$

$$= 1.09$$

ここで、上述したメモリLSI不良解析装置の2つの実施形態について、不良解析アルゴリズムの比較を行う。データ読み処理(図2中の処理41及び図7中の処理51、52)に関しては、アドレス重み付け処理(図7の処理52)を行う必要のある図6の実施形態の方が、負荷が大きい。ただし、アドレス重み付け処理自体は単

\* (f) は以下の式(B)により求めることができる。

※2)、E(103, 3)、F(105, 1)を因数4までxアドレス解析する場合について説明する(図3参照)。なお、解析領域は、 $(x, y) = (101, 0) \sim (105, 9999)$ とする。アドレス重み付けの処理は以下になる。

A: A(x) = 101 → W(101)を1加算

B: B(x) = 101 → W(101)を1加算

C: C(x) = 101 → W(101)を1加算

D: D(x) = 103 → W(103)を1加算

E: E(x) = 103 → W(103)を1加算

F: F(x) = 105 → W(105)を1加算

この結果、各座標に対する重み付けのヒストグラム $W(x)$ が求まる。こうして得られたヒストグラムを図8に示す。

【0056】次に、アドレス空間 $(101 \leq x \leq 105)$ のなかから2つのX座標 $a, b$ を選択し、そのペアのアドレス差 $d = |a - b|$ に対し各座標の重みの積 $W(a)W(b)$ を加算していくことで、アドレス差 $d$ のヒストグラム $H(d)$ を作成する。

★ない。

【0057】さてここで、不良ビット数 $n=6$ 、 $\sum W(i)^2 = 9+0+4+0+1=14$ であるので、期待値関数 $T(f)$ は以下のように求めることができる。

なる加算処理であり、負荷の増加は小さい。

【0058】もっとも大きな相違点は、アドレス差ヒストグラム $H(d)$ の作成処理(図2の処理42、43及び図7の処理54)である。処理の内容自体は双方ともほぼ同様であるが、図1の装置では、この処理が不良数 $n$ のとき $n^2$ 回行われるのに対し、図6の装置で

は、アドレス空間の大きさを1としたとき  $1/C_2$  回行われる。

【0059】したがって、図6の装置による不良解析時間は解析するアドレス空間に依存し、アドレス空間の2乗に比例して解析時間が増大する。しかしながら、処理負荷は不良数には依らないため、不良数が増大した場合の解析時間抑制の効果は大きい。

【0060】次に、図10は本発明によるメモリLSI不良解析装置の更に他の実施形態を示すブロック図である。、図10において、試験部11～不良分布判定部16までについては、図1に記載の装置のものと同一である。また、図10において、領域指定部21～期待値関数算出部26までについては、図6に記載の装置のものと同一である。

【0061】装置選択部31においては、不良数 $n$ とアドレス空間の大きさ1から、図1の装置を用いて不良解析を行った場合と、図6の装置を用いて不良解析を行った場合とのそれぞれについて解析時間の予測を行い、より予測解析時間が短い方の装置で不良解析を行うように、以降の処理の選択を行う。

【0062】次に、解析時間の予測方法及び処理の選択方法について説明する。

【0063】上述したように、図1の装置及び図6の装置とのもっとも大きな相違点は、アドレス差ヒストグラムH(d)の作成処理を含む点であり、この処理時間を予測することで、両者の解析時間の比較を行うことができる。図1の装置では、上記処理が不良数 $n$ のとき  $n/C_2$  回行われるのに対し、図6の装置では、アドレス空間の大きさを1としたとき  $1/C_2$  回行われる。

【0064】したがって、図1の装置では、上記処理に要する時間が不良数 $n$ の2乗に比例し、図6の装置では、アドレス空間の大きさ1の2乗に比例することになる。

【0065】そこで、予め図1の装置に対して、上記処理に要する時間の測定を行い、不良数 $n$ と処理時間 $S$ の関係式  $S = A n^2$  における係数 $A$ の値を求めておく。また同様に、図6の装置に対して、アドレス空間の大きさ1と処理時間 $T$ の関係式  $T = B 1^2$  における係数 $B$ の値を求めておく。

【0066】このとき、 $S/T = (A/B) \cdot (n/1)^2$  であるので、 $C = A/B$ 、 $k = n/1$  とおけば、 $C k^2 = 1$  の解、すなわち  $k = 1/(C)^{1/2}$  のとき、図1の装置と図6の装置との処理時間が等しくなる。

【0067】よって、装置選択部31においては、不良数 $n$ とアドレス空間の大きさ1から、 $k = n/1$  の値を求め、 $k$  が  $1/(C)^{1/2}$  以下であれば、それ以降の処理を図1の装置のアドレス差算出部13～期待値関数算出部15により行い、そうでないならば、図6の装置のアドレス差算出部24～期待値関数算出部26により

行うように処理の選択を行う。

【0068】なお、以上説明した図2又は図7の処理を実現するためのプログラムを記録した記録媒体を用意し、これを用いて図1又は図6の各部を制御すれば、上述と同様のメモリLSI不良解析を行うことができることは明白である。この記録媒体には、図1又は図6中に示されていない半導体メモリ、磁気ディスク装置の他、種々の記録媒体を用いることができる。

【0069】また、同記録媒体に記録されているプログラムによってコンピュータを制御すれば、上述と同様にメモリLSI不良解析を行うことができることは明白である。この記録媒体には、半導体メモリ、磁気ディスク装置の他、種々の記録媒体を用いることができる。

【0070】この場合、図2の処理を実現するためのプログラムを記録した記録媒体には、コンピュータに、メモリLSIの試験結果について2つの不良データ間のアドレス差を算出する第1処理、このアドレス差をもとにアドレス差のヒストグラムを作成する第2処理、このアドレス差ヒストグラムをもとに因数に対する期待値関数を算出する第3処理、この期待値関数より不良ビットの分布の規則性を判定する第4処理、を実行させるためのプログラムを記録すれば良い。

【0071】また、図7の処理を実現するためのプログラムを記録した記録媒体は、コンピュータに、解析すべきメモリLSIの領域を指定する第1処理、メモリLSIの試験結果のデータが上記第1処理において指定された領域内にあるかどうかを判定する第2処理、この第2処理において領域内にあると判定された不良ビットのデータを読込む場合に、該データのアドレスに対し重み付けを行う第3処理、解析範囲内の2つのアドレス間のアドレス差を算出する第4処理、このアドレス差をもとにアドレス差のヒストグラムを作成する第5処理、このアドレス差ヒストグラムをもとに因数に対する期待値関数を算出する第6処理、この期待値関数より不良ビットの分布の規則性を判定する第7処理、を実行させるためのプログラムを記録すれば良い。

【0072】

【発明の効果】以上説明したように請求項1又は請求項4の発明によれば、従来  $n/C_2$  回行っていた因数チェック処理を1回にすることにより、大幅に解析時間を短縮できるという効果がある。

【0073】また、請求項2又は請求項5の発明においては、解析範囲内の各アドレスに対して該アドレス上にある不良ビットの数による重み付けを行い、不良ビットではなくアドレスについての総当たり処理を行い、期待値関数を求める。したがって、処理負荷は不良数には依らないことになり、不良数が増大した場合の解析時間抑制の効果は大きい。

【0074】さらにまた、請求項3又は請求項6の発明においては、不良数 $n$ とアドレス空間1の大きさの比に



より、請求項1の装置と請求項2の装置との選択（請求項4の方法と請求項5の方法との選択）を行う。こうすることで、不良分布に応じた最適なアルゴリズムにより不良解析を行えるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態によるメモリLSI不良解析装置の構成を示すブロック図である。

【図2】図1の装置による不良解析処理の流れを示すフローチャートである。

【図3】不良ビットの分布データの例を示す図である。 10

【図4】図1の装置によって図3のデータを解析する際に生成するアドレス差ヒストグラムを示す図である。

【図5】一般的な不良解析方法の処理の流れを示すフローチャートである。

【図6】本発明の実施の他の形態によるメモリLSI不良解析装置の構成を示すブロック図である。

【図7】図6の装置による不良解析処理の流れを示すフローチャートである。

【図8】図6の装置によって図3のデータを解析する際に生成するアドレス重み付けのヒストグラムを示す図である。 20

【図9】図6の装置によって図3のデータを解析する際に生成するアドレス差ヒストグラムを示す図である。

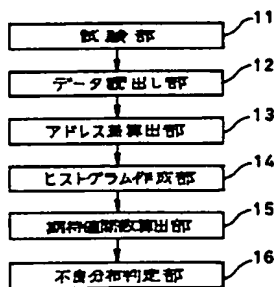
【図10】本発明の実施のさらに他の形態によるメモリLSI不良解析装置の構成を示すブロック図である。

【符号の説明】

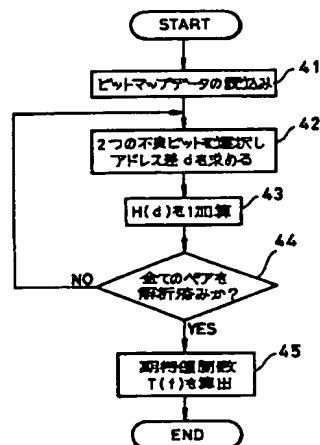
- 11 試験部
- 12 データ読出し部
- 13 アドレス差算出部
- 14 ヒストグラム作成部
- 15 期待値関数算出部
- 16 不良分布判定部

- 14 ヒストグラム算出部
- 15 期待値関数算出部
- 16 不良分布判定部
- 21 領域指定部
- 22 領域内判定部
- 23 アドレス重み付け部
- 24 アドレス差算出部
- 25 ヒストグラム作成部
- 26 期待値関数算出部
- 31 装置選択部
- 41 ビットマップデータ読み込み処理
- 42 アドレス差算出処理
- 43 ヒストグラム加算処理
- 44 加算処理終了確認
- 45 期待値関数算出処理
- 51 ビットマップデータ読み込み処理
- 52 アドレス重み付け処理
- 53 読み込み処理終了確認
- 54 アドレス差ヒストグラム加算処理
- 55 加算処理終了確認
- 56 期待値関数算出処理
- 61 ビットマップデータ読み込み処理
- 62 アドレス差算出処理
- 63 因数チェック処理
- 64 頻度値加算処理
- 65 因数チェック終了確認
- 66 不良ビットペア解析終了確認
- 67 期待値関数算出処理

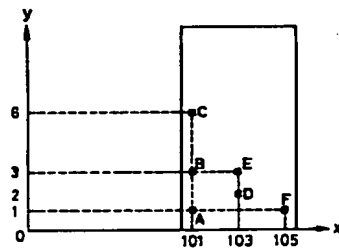
【図1】



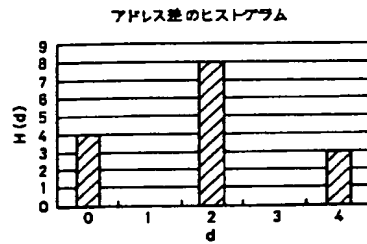
【図2】



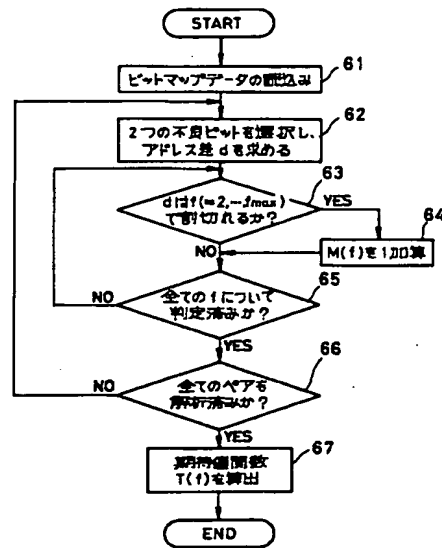
【図3】



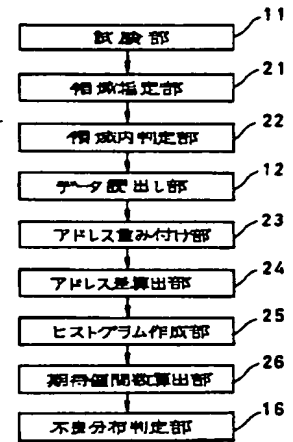
【図4】



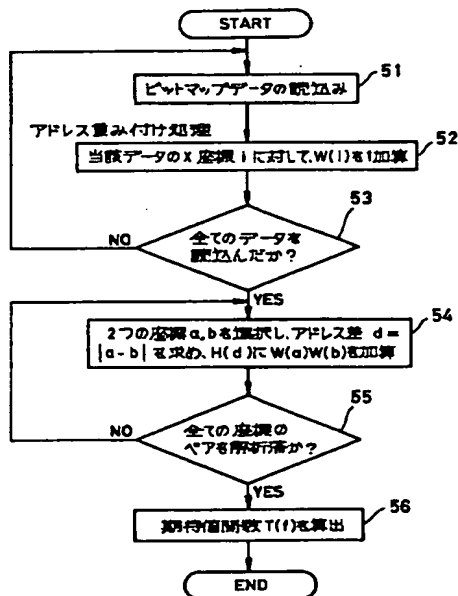
【図5】



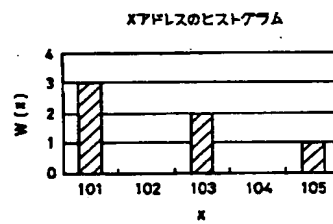
【図6】



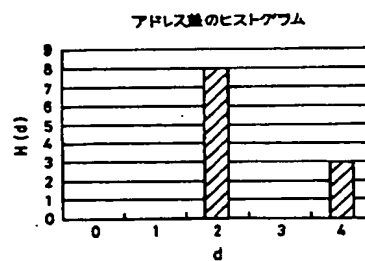
【図7】



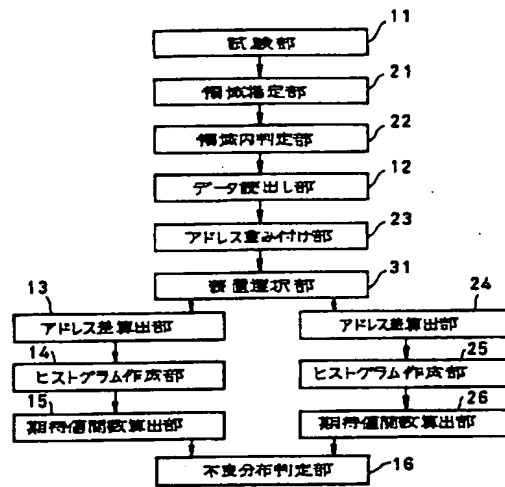
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 浜田 健彦  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内

Fターム(参考) 2G032 AA07 AB20 AE08 AE10  
 4M106 AA01 AB07 AC01 BA01 BA14  
 CA04 DA15 DJ12 DJ18 DJ19  
 DJ20 DJ21 DJ32